

PATENT
81789.0033

Express Mail Label No. EV 325 214 800 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Takeshi KUSAKABE, et al.

Serial No: Not assigned

Filed: September 30, 2003

For: A WIRING BOARD AND A
PACKAGING ASSEMBLY USING
THE SAME

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-289220 which was filed October 1, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: September 30, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

S923

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 日
Date of Application:

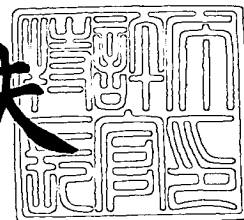
出 願 番 号 特 願 2 0 0 2 - 2 8 9 2 2 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 9 2 2 0]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 6 4 8

【書類名】 特許願

【整理番号】 AMB027011

【提出日】 平成14年10月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 配線基板及び半導体装置

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 日下部 武志

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 小澤 勲

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男



【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】	図面 1
【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 配線基板及び半導体装置

【特許請求の範囲】

【請求項 1】 絶縁基板と、

前記絶縁基板の第 1 主面に配置された帯状の第 1 の信号配線と、

前記第 1 の信号配線の長手方向に沿って、前記第 1 の信号配線の両側に一定の幅の溝を形成するように前記第 1 の信号配線から離間し、且つ前記第 1 の信号配線が存在しない前記第 1 主面の残余の領域を埋めて配置された第 1 の電源配線と、

前記絶縁基板の第 2 主面に配置され、前記絶縁基板中に設けられたスルーホールを介して前記第 1 の信号配線と電氣的に接続されたランドと、

前記ランドから離間したパターンとし、且つ前記ランドが存在しない前記第 2 主面の残余の領域を埋めて配置された第 2 の電源配線

とを備えることを特徴とする配線基板。

【請求項 2】 前記第 2 の電源配線が、前記ランドと前記ランドに接続された第 2 主面側の第 2 の信号配線と前記信号配線に接続された前記スルーホールとの周囲に一定の幅の溝を形成するように、前記ランド、前記第 2 の信号配線及び前記スルーホールから離間することを特徴とする請求項 1 に記載の配線基板。

【請求項 3】 複数枚の前記第 1 の電源配線が、前記第 1 主面の中心線に関して鏡映対称となるように配置されることを特徴とする請求項 1 又は 2 に記載の配線基板。

【請求項 4】 前記第 1 の電源配線が、前記第 1 の信号配線から $30\mu\text{m}$ ～ $120\mu\text{m}$ に離間して配置されることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の配線基板。

【請求項 5】 前記第 1 及び第 2 の電源配線が互いに異なる電位であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の配線基板。

【請求項 6】 前記第 1 の信号配線及び前記ランドが、前記絶縁基板を介して対向する位置を避けて配置されることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の配線基板。

【請求項 7】 前記第 1 の信号配線が、前記ランドの位置を避けるための折れ曲がり部を有することを特徴とする請求項 1～6 のいずれか 1 項に記載の配線基板。

【請求項 8】 前記第 1 の信号配線が、前記第 1 の信号配線の前記スルーホール側の端部とは反対側の端部に、前記第 1 の電源配線から突出した配線パッド部を有することを特徴とする請求項 1～7 のいずれか 1 項に記載の配線基板。

【請求項 9】 前記第 1 の電源配線が、前記配線パッド部と同一方向に、前記第 1 の電源配線から突出した電源パッド部を前記第 1 の電源配線の端部に有することを特徴とする請求項 8 に記載の配線基板。

【請求項 10】 絶縁基板と、
前記絶縁基板の第 1 主面に配置された帯状の第 1 の信号配線と、
前記第 1 の信号配線の長手方向に沿って、前記第 1 の信号配線の両側に一定の幅の溝を形成するように、前記第 1 の信号配線から離間し、且つ前記第 1 の信号配線が存在しない前記第 1 主面の残余の領域を埋めて配置された第 1 の電源配線と、
前記絶縁基板の第 2 主面に配置され、前記絶縁基板中に設けられたスルーホールを介して前記第 1 の信号配線と電氣的に接続されたランドと、
前記ランドから離間したパターンとし、且つ前記ランドが存在しない前記第 2 主面の残余の領域を埋めて配置された第 2 の電源配線と、
前記第 1 主面側に配置され、前記第 1 の信号配線及び前記第 1 の電源配線の端部に設けられたパッド部を介して電氣的に接続された半導体チップ
とを備えることを特徴とする半導体装置。

【請求項 11】 前記半導体チップは、離間して配置された 2 枚の前記第 1 の電源配線の上に配置されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記第 1 の電源配線が、前記第 1 の信号配線から $30\mu\text{m}$ ～ $120\mu\text{m}$ に離間して配置されることを特徴とする請求項 10 又は 11 に記載の半導体装置。

【請求項 13】 前記第 1 及び第 2 の電源配線が互いに異なる電位であることを特徴とする請求項 10～12 のいずれか 1 項に記載の半導体装置。

【請求項 14】 前記第 1 の信号配線及び前記ランドが、前記絶縁基板を介して対向する位置を避けて配置されることを特徴とする請求項 10～13 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体の実装技術に関し、特に BGA 型パッケージの配線基板及び半導体装置に関する。

【0002】

【従来の技術】

半導体チップの高集積化に伴い、半導体装置の実装技術においては高密度化が求められている。高密度化を図った半導体パッケージとしては、端子ピッチの縮小化、表面実装化、エリア端子化を図った DIP、QFP、SOP、SOJ 等が知られている。特に最近は、多端子で高密度実装が可能な BGA 型パッケージが盛んに開発され、実用化されている。

【0003】

半導体パッケージの配線基板においては、動作速度の高速化により周波数が上がると電源ノイズ、クロストークノイズ等を発生することが知られている。特に、数百 MHz の周波数で動作し、演算を行うようなマイクロプロセッサユニット等の LSI チップにおいては、信号配線間で発生するクロストークノイズを極力抑えた装置が望まれている。したがって、図 13 及び図 14 に示すように、信号配線間に高位電源層（VDD 層）又は低位電源層（GND 層）を配置することにより、信号線間で発生するノイズをシールドする手法がとられてきた。

【0004】

例えば、図 13 に示す半導体装置 100 は、高速 SRAM に用いられる半導体パッケージの一例である。半導体装置 100 は、配線基板 101 と、配線基板 101 の上部にフェイスアップにより実装され、ボンディングワイヤ 105 により配線基板 101 に電氣的に接続された半導体チップ 103 と、配線基板 101 の下部にマトリクス状に配置された半田ボール 104a, 104b, . . . ,

104fとから構成されている。配線基板101は、ボンディングワイヤ105に接続されたチップ側表面配線113a、113b、チップ側表面配線113a、113bの下部に配置された絶縁基板110a、絶縁基板110aの下部の全面に配置されたVDD層114、VDD層114の下部に配置された絶縁基板110b、絶縁基板110bの下部の全面に配置されたGND層115、GND層の下部に配置された絶縁基板110c、絶縁基板110cの下部に配置されたランド116a、116b、・・・116fとからなる。配線基板101は、チップ側表面配線113a、113bにより平行方向に電氣的に接続されている。配線基板101の内部には、スルーホール、ビアホール等（図示せず）が配置されており、チップ側表面配線113a、113bの信号が三次元方向に電氣的に接続されている。このような半導体装置100においては、チップ側表面配線113a、113bとランド116a、116b、・・・116fとが、全面に設けられた金属層からなるVDD層114及びGND層115を介して配置されることにより、ノイズの発生を三次元方向にシールドしている。

【0005】

図14に示す半導体装置200は、RDRAMに用いられる半導体パッケージの一例である。半導体装置200は、配線基板201aと、配線基板201aと同一平面上に離間して配置された配線基板201bと、配線基板201a及び配線基板201bの上部にフェイスダウンにより実装された半導体チップ203と、半導体チップ203に接続され、配線基板201aと配線基板201bとの間に配置されたボンディングパッド206と、配線基板201a、201bの下部にマトリクス状に配置された半田ボール204a、204b、・・・、204dとから構成される。配線基板201aは、更に絶縁基板210aと、絶縁基板210aの下部に配置された配線層211aとからなる。配線層211aは、絶縁基板210aの下部にマトリクス状に配置されたランド216a、216bと、ランド216a、216bに離間し、且つランド216a、216bの周囲を平行方向に取り巻くように配置されたVDD配線215と、VDD配線215を介してランド216a、216bに離間して配置された信号配線213aとからなる。配線基板201bは、配線基板201aと同様に、絶縁基板210bと

、絶縁基板 210b の下部に配置された配線層 211b とからなる。配線層 211b は、絶縁基板 210b の下部にマトリクス状に配置されたランド 216c, 216d と、ランド 216c, 216d に離間し、且つランド 216c, 216d の周囲を平行方向に取り巻くように配置された GND 配線 214 と、GND 配線 214 を介してランド 216c, 216d に離間して配置された信号配線 213b とからなる。信号配線 213a, 213b は、ボンディングワイヤ 205 及びボンディングパッド 206 を介して半導体チップ 203 に電氣的に接続されている。このような半導体装置 200 においては、信号配線 213a, 213b とランド 216c, 216d の周囲に、GND 配線 214 又は VDD 配線 215 が配置されることにより、ノイズの発生を二次元方向にシールドしている。

【0006】

【特許文献 1】

特開 2001-135898 号公報

【0007】

【発明が解決しようとする課題】

しかし、図 13 に示す半導体装置 100 においては、ノイズの発生の原因となる電磁界の漏れを三次元方向にシールドできるが、絶縁基板及び金属配線層を複数層に有する多層基板としなければならないので、装置全体が厚くなり、且つコストがかかる問題があった。

【0008】

また、図 14 に示す半導体装置 200 においては、三次元方向の電気力線の漏れが大きいので、図 13 に示すような多層基板に比べると電磁界をシールドする効果が小さくなる問題があった。

【0009】

本発明は、上記した従来技術の欠点を除くためになされたものであって、その目的とするところは、二層配線でノイズの発生の原因となる電磁界の漏れを三次元的にシールドし、且つ低コストで製造できる配線基板及び半導体装置を提供することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の特徴は、（イ）絶縁基板と、（ロ）絶縁基板の第 1 主面に配置された帯状の第 1 の信号配線と、（ハ）第 1 の信号配線の長手方向に沿って、第 1 の信号配線の両側に一定の幅の溝を形成するように第 1 の信号配線から離間し、且つ第 1 の信号配線が存在しない第 1 主面の残余の領域を埋めて配置された第 1 の電源配線と、（ニ）絶縁基板の第 2 主面に配置され、絶縁基板中に設けられたスルーホールを介して第 1 の信号配線と電氣的に接続されたランドと、（ホ）ランドから離間したパターンとし、且つランドが存在しない第 2 主面の残余の領域を埋めて配置された第 2 の電源配線とを備える配線基板であることを要旨とする。

【0 0 1 1】

本発明の第 1 の特徴によれば、信号配線間、及び信号配線とランドの間に発生するクロストークノイズ、電源ノイズ等を、二層の配線層で三次元方向にシールドできる。

【0 0 1 2】

本発明の第 2 の特徴は、（イ）絶縁基板と、（ロ）絶縁基板の第 1 主面に配置された帯状の第 1 の信号配線と、（ハ）第 1 の信号配線の長手方向に沿って、第 1 の信号配線の両側に一定の幅の溝を形成するように、第 1 の信号配線から離間し、且つ第 1 の信号配線が存在しない第 1 主面の残余の領域を埋めて配置された第 1 の電源配線と、（ニ）絶縁基板の第 2 主面に配置され、絶縁基板中に設けられたスルーホールを介して第 1 の信号配線と電氣的に接続されたランドと、（ホ）ランドから離間したパターンとし、且つランドが存在しない第 2 主面の残余の領域を埋めて配置された第 2 の電源配線と、（ヘ）第 1 主面側に配置され、第 1 の信号配線及び第 1 の電源配線の端部に設けられたパッド部を介して電氣的に接続された半導体チップとを備える半導体装置であることを要旨とする。

【0 0 1 3】

本発明の第 2 の特徴によれば、配線基板を薄型化することができ、低コストで、且つノイズのシールド効果の高い半導体装置を提供することができる。

【0 0 1 4】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、形状や寸法等は現実のものとは異なることに留意すべきである。したがって、具体的な形状や寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においてもお互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、以下に示す第1及び第2の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置などを下記のものに特定するものではない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0015】**(第1の実施の形態)**

本発明の第1の実施の形態に係る配線基板2は、図1～図5に示すように、絶縁基板10と、絶縁基板10の第1主面に配置された第1の信号配線13a, 13b,, 13jと、第1の信号配線13a, 13b,, 13jから離間し、第1の信号配線13a, 13b,, 13jが存在しない第1主面の残余の領域を埋めて配置された第1の電源配線（高位電源配線）14a, 14bと、絶縁基板10の第2主面に配置されたランド16a, 16b,, 16mと、ランド16a, 16b,, 16mから離間し、ランド16a, 16b,, 16mが存在しない第2主面の残余の領域を埋めて配置された第2の電源配線（低位電源配線）15とを備える。尚、第1の信号配線13a, 13b,, 13jの中に直流的な信号、即ち他の電源配線等が含まれていても構わない。

【0016】

図1に示すように、第1主面には、第1の配線層11として、絶縁基板10の上部に折れ曲がり部17a, 17b,, 17jを有する帯状の第1の信号配線13a, 13b,, 13jが引き回されている。第1の信号配線13a, 13b,, 13jの幅は、20 μ m～100 μ mである

。この第1の信号配線13a, 13b,, 13jの周囲を、長手方向に沿って一定の溝を形成するように、高位電源配線（第1の電源配線）14a, 14bが $30\mu\text{m} \sim 120\mu\text{m}$ 離間して配置されている。高位電源配線（第1の電源配線）14a, 14bは、絶縁基板10のほぼ全面に配置された板状のパターンであり（図5参照）、高位電源（VDD）を供給すると同時に、第2主面のランド16a, 16b,, 16mからの電磁界に対するシールドプレーンとして機能している。尚、第1の信号配線13a, 13b,, 13jの端部は、図1に示すように、絶縁基板10中に開口されたスルーホール19a, 19b,, 19jの内壁の金属層にそれぞれ接続されている。また、第1の信号配線13a, 13b,, 13jのスルーホール19a, 19b,, 19jに接続されない側の端部には、高位電源配線（第1の電源配線）14a, 14bから突出した配線パッド部23a, 23b,, 23jが配置されている。配線パッド部23a, 23b,, 23jの近傍には、電源パッド部23k, 23lが、配線パッド部23a, 23b,, 23jと同一方向に突出されており、この電源パッド部23k, 23lと配線パッド部23a, 23b,, 23jとの上部に半田バンプ等を介すことにより、半導体チップ3が実装される。

【0017】

図2に示すように、第2主面には、第2の配線層12としてランド16a, 16b,, 16mが、スルーホール19a, 19b,, 19jに対応しマトリクス状に配置されている。ランド16a, 16b,, 16mとスルーホール19a, 19b,, 19jは、第2主面に設けられた帯状の第2の信号配線20a, 20b,, 20jにより接続されている。第2の信号配線20a, 20b,, 20jの幅は $20\mu\text{m} \sim 100\mu\text{m}$ である。但し、このランド16a, 16b,, 16m及び第2の信号配線20a, 20b,, 20jは、点線で示す第1主面側の第1の信号配線13a, 13b,, 13jと絶縁基板10を介して対向する位置を避けて配置されている。また、ランド16a, 16b,, 16m、スルーホール19a, 19b,, 19j及び第2の

信号配線 20 a, 20 b,, 20 j の周囲には、図 5 に示すように板状で、グランド (GND) となる低位電源配線 (第 2 の電源配線) 15 がほぼ全面に配置されている。低位電源配線 (第 2 の電源配線) 15 は、第 1 主面側の第 1 の信号配線 13 a, 13 b,, 13 j からの高周波の電磁界に対するシールドプレーンとして機能している。尚、ランド 16 a, 16 b,, 16 m は、図 3 に示すように、半田ボール 4 a, 4 b, 4 c, 4 d を取り付けるための金属パターンである。

【0018】

図 3 は、図 1 の A-A 方向から見た第 1 の実施の形態に係る半導体装置の断面図である。第 1 の配線層 11 が設けられた第 1 主面側にフリップチップ接続されるように、半導体チップ 3 が、フェイスダウン型に装着されている。ランド 16 m, 16 b, 16 d, 16 e の下部には、マトリクス状に配置された半田ボール 4 a, 4 b, 4 c, 4 d が配置されている。ランド 16 m, 16 b, 16 d, 16 e の配置される位置はどこであってもよい。例えば、ランド 16 m, 16 b, 16 d, 16 e が配線基板 2 の外周に配置されてもよい。

【0019】

本発明の第 1 の実施の形態に係る配線基板 2 においては、第 1 の信号配線 13 a, 13 b,, 13 j、第 2 の信号配線 20 a, 20 b,, 20 j 及びランド 16 a, 16 b,, 16 m が、ほぼ全面に渡って配置された VDD 供給用の高位電源配線 (第 1 の電源配線) 14 a, 14 b 又は GND となる低位電源配線 (第 2 の電源配線) 15 により周囲を取り囲まれている。更に、第 1 主面の第 1 の信号配線 13 a, 13 b,, 13 j と第 2 主面のランド 16 a, 16 b,, 16 m とが、絶縁基板 10 を介して互いに対向しない位置に配置されている。したがって、第 1 の信号配線 13 a, 13 b,, 13 j に高周波電流を流した場合に発生する強い電磁界に対し、高位電源配線 14 a, 14 b 及び低位電源配線 15 がシールドプレーンとして機能するので、ノイズの発生を三次元的にシールドできる。第 1 の信号配線 13 a, 13 b,, 13 j 及びランド 16 a, 16 b,, 16 m は、一定電位のシールドプレートによりシールドされればよいので、必

要に応じて高位電源配線（第1の電源配線）14a, 14b又は低位電源配線（第2の電源配線）15のパターンを変えることもできる。更に、高位電源配線14a, 14b又は低位電源配線15を、第1の信号配線13a, 13b,, 13j又はランド16a, 16b,, 16mに近づけるほど、シールド効果の高い配線基板2が得られるので、第1の信号配線13a, 13b,, 13j又はランド16a, 16b,, 16mから30 μ m～120 μ m程度離間して配置するのが好ましい。更に好ましくは、離間幅を現在の微細化技術の限界点である30 μ m程度にするのがよい。離間幅を広げると、配線のキャパシタンスを抑えることができるので、50 μ m～120 μ mとしてもよい。このような配線基板2及び配線基板2を用いた半導体装置は、絶縁基板10を複数層に設ける必要がないので、装置の薄型化を図ることができ、且つ低コストで製造が可能である。

【0020】

次に、図6を用いて、本発明の第1の実施の形態に係る配線基板2及び配線基板2を用いた半導体装置の製造方法を説明する。以下に述べる製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。尚、図6に配線基板2は、図1に示すD-D方向から見た断面を示す。

【0021】

(イ) 先ず、図6(a)に示すように、厚さ30 μ m～60 μ mのエポキシ樹脂からなる絶縁基板10を用意する。好ましくは、厚さ50 μ m程度の絶縁基板10を用意する。絶縁基板10としては、エポキシ樹脂のほか、ポリイミド樹脂、フェノール樹脂、又はセラミックス基板、炭化珪素基板等を使用することも可能である。図示を省略するが、その後、絶縁基板10の第1主面及び第2主面に銅箔を貼り付け、エッチングにより銅箔を薄くしておく。

【0022】

(ロ) 次に、図6(b)に示すように、絶縁基板10に直径100～200 μ mの円形のスルーホール19b, 19cをレーザ法により形成する。尚、スルーホール19b, 19cは、従来の機械的なドリル法により形成されても構わない

。スルーホール 19b, 19c は、楕円形、多角形等であってもよい。

【0023】

(ハ) 次に、図 6 (c) に示すように、絶縁基板 10 の第 1 主面及び第 2 主面に、厚さ $25\mu\text{m} \sim 35\mu\text{m}$ の銅、ニッケル、金等の金属膜 22 を蒸着法、無電界メッキ法等により形成する。この時、スルーホール 19b, 19c の内壁にも同様に、銅等を用いてパターン間接続メッキが行われる。

【0024】

(ニ) 次に、金属膜 22 上にフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をエッチングマスクとしてエッチングし、図 6 (d) に示すように、第 1 の配線層 11 を形成する。第 1 の配線層 11 には、第 1 の信号配線 13a、VDD を供給するための高位電源配線 14a、半導体パッド 3 を装着するためのパッド部 23a が形成される。第 1 主面のフォトレジストを除去後、第 2 主面の金属膜 22 上に新たなフォトレジスト膜をパターニングし、エッチングにより第 2 の配線層 12 を形成する。第 2 の配線層 12 には、GND となる低位電源配線 15、半田ボール 4a, 4e を形成するためのランド 16a, 16m、第 2 の信号配線 (図示せず) が形成される。

【0025】

(ホ) 次に、図 6 (e) に示すように、第 1 の配線層 11 及び第 2 の配線層 12 にソルダーレジスト膜 24 を形成する。そして、フォトリソグラフィ技術によりソルダーレジスト膜 24 をエッチングし、第 1 主面のパッド部 23a 及び第 2 主面のランド 16a, 16m を露出させる。そしてパッド部 23a 及び第 2 主面のランド 16a, 16m の表面にニッケル (Ni) 膜 27 によるメッキ 27、金 (Au) 膜 28 によるメッキを施す。

【0026】

(ヘ) 次に、図 6 (f) に示すように、パッド部 23a の上部に図示しない半田バンプ等を介して半導体チップ 3 を実装し、ランド 16a, 16m に半田ボール 4e, 4a をそれぞれ形成する。

【0027】

以上の工程により、図4に示すような配線基板2及び配線基板2を用いた半導体装置が実現可能となる。本発明の第1の実施の形態に係る配線基板2及び配線基板2を用いた半導体装置によれば、一層の絶縁基板10で、簡単に、低コストで製造することができる。尚、第1の配線層11及び第2の配線層12のパターニングは、どちらが先に行われてもよい。

【0028】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体装置は、図7～図11に示すように、2枚の配線基板2a、2bを有しており、配線基板2a、2bのそれぞれにボンディングパッド26a、26b、・・・26kに接続するためのスルーホール19n、19o、・・・19vを更に有する点が異なる。更に、図11に示すように、配線基板2a、2bの第1主面側に配置される半導体チップ3が、配線基板2aと配線基板2bとの間にある基板開口部30に配置されたボンディングパッド26a、26b、・・・26kを介して電氣的に接続される点異なる。他は、図1に示す第1の実施の形態の構成と同様であるので、重複した記載を省略する。図7に示すように、第1主面には、第1の配線層11a、11bとして、帯状の第1の信号配線13a、13b、・・・13jが、絶縁基板10上に引き回されている。この第1の信号配線13a、13b、・・・13jの両側を、長手方向に沿って一定の溝を形成するように、第1の配線層11aにはGNDとなる低位電源配線（第1の電源配線）15aが、第1の配線層11bにはVDDを供給する高位電源配線（第1の電源配線）14aが、それぞれ絶縁基板10の上を30 μ m～120 μ m離間し、それぞれ第1主面の残余の領域を埋めるように配置されている。低位電源配線15a及び高位電源配線14aは、絶縁基板10のほぼ全面に板状の形状を有して配置されている（図11参照）。また、図7に示すように、第1の信号配線13a、13b、・・・13jのスルーホール19a、19b、・・・19jに接続されない側の端部は、ボンディングパッド26a、26b、・・・26kの近傍に直線状に並んで配置されたスルーホール19n、19o、・・・19vの内壁の金属層にそれぞれに接続されている。スルーホール19n、19o、・・・19

vは、図8に示すように、図示を省略したパッド部及びボンディングワイヤ25を介してボンディングパッド26a, 26b, 26kに電氣的に接続されている。複数のボンディングパッド26a, 26b, 26kは、例えば半導体チップ3の素子形成面に形成された $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度のドナー若しくはアクセプタがドーピングされた複数の高不純物密度領域（ソース領域／ドレイン領域、若しくはエミッタ領域／コレクタ領域等）等にそれぞれ接続されている。

【0029】

図8に示すように、第2主面には、第2の配線層12a, 12bとして、ランド16a, 16b, , 16mが、スルーホール19a, 19b, , 19jに対応してマトリクス状に配置されている。但し、このランド16a, 16b, , 16mは、点線で示す第1主面側の第1の信号配線13a, 13b, , 13jと絶縁基板10a, 10bを介して対向する位置を避けて配置されている。このランド16a, 16b, , 16mの外周を取り囲んで一定の溝を形成するように、第2の電源配線である低位電源配線15b及び高位電源配線14cが、ランド16a, 16b, , 16mから $30 \mu\text{m} \sim 120 \mu\text{m}$ 離間して配置されている。尚、第2の配線層12aは、GNDとなる低位電源配線（第2の電源配線）15bが、第2の配線層12bには、VDDを供給する高位電源配線（第2の電源配線）14cが、第2主面上をほぼ全面に板状の形状を有して配置されている（図11参照）。

【0030】

図9は、図7のF-F方向から見た第2の実施の形態に係る半導体装置の断面図を示している。第1の配線層11aには半導体チップ3が実装され、ランド16m, 16b, 16d, 16eには半田ボール4a, 4b, 4c, 4dが配置されている。尚、図11に示すように、半導体チップ3は、ボンディングワイヤ25を介して低位電源配線（第2の電源配線）15b及び高位電源配線（第2の電源配線）14cに接続されている。

【0031】

本発明の第2の実施の形態に係る半導体装置によれば、複数の配線基板2a,

2 b をボンディングワイヤ 2 5 により接続した場合においても、第 1 の信号配線 1 3 a, 1 3 b, 1 3 j 及びランド 1 6 a, 1 6 b, 1 6 m の平行方向、及び垂直方向に、ほぼ全面に渡って V D D を供給する高位電源配線 1 4 a, 1 4 c 又は G N D となる低位電源配線 1 5 a, 1 5 b が配置されている。したがって、第 1 の信号配線 1 3 a, 1 3 b, 1 3 j に高周波電流を流す際に発生する強い電磁界に対し、高位電源配線 1 4 a, 1 4 c 及び低位電源配線 1 5 a, 1 5 b がシールドプレーンとして機能するので、ノイズの発生を三次元方向にシールドすることができる。また、図 1 1 に示す半導体装置は、ワイヤボンディング実装することが可能なため、フリップチップ実装に比べて低コストで製造できる。

【0032】

次に、図 1 2 を用いて、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する。図 1 2 (a) ~ 図 1 0 (d) は、図 7 に示す I - I 中の断面を示す。図 1 2 (f) 及び図 1 2 (g) は、図 7 中の J - J 断面を示す。尚、図 1 2 (a) ~ 図 1 2 (d) までは、図 6 に示す半導体装置の製造方法と同様であるので重複した記載を省略する。

【0033】

(ホ) 次に、図 1 2 (e) に示すように、第 1 の配線層 1 1 b 及び第 2 の配線層 1 2 b に溶剤レジスト膜 2 4 を形成する。そして、フォトリソグラフィ技術により溶剤レジスト膜 2 4 をエッチングし、ワイヤボンディング接続用のスルーホール (図示せず) 及び第 2 主面のランド 1 6 i, 1 6 f を露出させる。そしてランド 1 6 i, 1 6 f の表面にニッケル (N i) 膜 2 7、金 (A u) 膜 2 8 によるメッキを施す。

【0034】

(ヘ) 図 1 0 (f) に示すように、第 1 の配線層 1 1 a, 1 1 b に、半導体チップ 3 を配置する。そして図 (g) に示すように、半導体チップ 3 に接続されたボンディングパッド 2 6 と、配線基板 2 a, 2 b とをボンディングワイヤ 2 5 により接続する。

【0035】

以上の工程により、本発明の第 2 の実施の形態に係る半導体装置が実現可能となる。本発明の第 2 の実施の形態に係る配線基板 2 及び配線基板 2 を用いた半導体装置によれば、二層の配線層で、電磁界の漏れを三次元方向にシールドすることができ、低コストで簡単に製造することができる。

【 0 0 3 6 】

(その他の実施の形態)

上記のように、本発明は第 1 及び第 2 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 0 3 7 】

既に述べた第 1 及び第 2 の実施の形態の説明においては、VDD を供給する高位電源配線 1 4 a, 1 4 b, 1 4 c 及び GND となる低位電源配線 1 5, 1 5 a, 1 5 b が、第 1 の信号配線 1 3 a, 1 3 b, 1 3 j 又はランド 1 6 a, 1 6 b,, 1 6 m の周囲のどの配置されても構わない。

【 0 0 3 8 】

更に、既に述べた第 1 及び第 2 の実施の形態の説明においては、第 1 の信号配線 1 3 a, 1 3 b,, 1 3 j 及びランド 1 6 a, 1 6 b,, 1 6 m とが絶縁基板 1 0 を挟んで対向する位置に配置されても、ノイズをシールドする効果を有している。

【 0 0 3 9 】

更に、既に述べた第 1 及び第 2 の実施の形態に係る配線基板 2, 2 a, 2 b は、BGA パッケージの他にも、周波数が高く且つ動作が高速な半導体装置に応用することが可能である。

【 0 0 4 0 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 4 1 】

【発明の効果】

以上より、本発明によれば、二層配線でノイズの発生の原因となる電磁界の漏れを三次元的にシールドし、且つ低コストで製造できる配線基板及び半導体装置を提供することができる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施の形態に係る配線基板の第 1 主面を示す平面図である。

【図 2】

本発明の第 1 の実施の形態に係る配線基板の第 2 主面を示す平面図である。

【図 3】

図 1 の A - A 方向から見た断面図である。

【図 4】

図 1 の B - B 方向から見た断面図である。

【図 5】

図 1 の C - C 方向から見た断面図である。

【図 6】

本発明の第 1 の実施の形態に係る配線基板及び半導体装置の製造方法を示す断面図である。

【図 7】

本発明の第 2 の実施の形態に係る半導体装置の第 1 主面を示す平面図である。

【図 8】

本発明の第 2 の実施の形態に係る半導体装置の第 2 主面を示す平面図である。

【図 9】

図 7 の F - F 方向から見た断面図である。

【図 1 0】

図 7 の G - G 方向から見た断面図である。

【図 1 1】

図 7 の H - H 方向からみた断面図である。

【図 1 2】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を示す断面図である。

【図 1 3】

従来の半導体装置 1 0 0 を示す断面図である。

【図 1 4】

従来の半導体装置 2 0 0 を示す断面図である。

【符号の説明】

2, 2 a, 2 b…配線基板

3…半導体チップ

4 a, 4 b,, 4 j…半田ボール

1 0…絶縁基板

1 1, 1 1 a, 1 1 b…第 1 の配線層

1 2, 1 2 a, 1 2 b…第 2 の配線層

1 3, 1 3 a, 1 3 b, 1 3 c, 1 3 j…第 1 の信号配線

1 4 a, 1 4 b, 1 4 c…高位電源配線

1 5, 1 5 a, 1 5 b…低位電源配線

1 6 a, 1 6 b, 1 6 m…ランド

1 7 a, 1 7 b,, 1 7 j…折れ曲がり部

1 9 a, 1 9 b, 1 9 v…スルーホール

2 0 a, 2 0 b, 2 0 v…第 2 の信号配線

2 2…金属膜

2 3 a, 2 3 b, 2 3 l…パッド部

2 4…ソルダーレジスト膜

2 5…ボンディングワイヤ

2 6 a, 2 6 b, 2 6 k…ボンディングパッド

2 7…ニッケル (N i) 膜

2 8…金 (A u) 膜

3 0…基板開口部

1 0 0…半導体装置

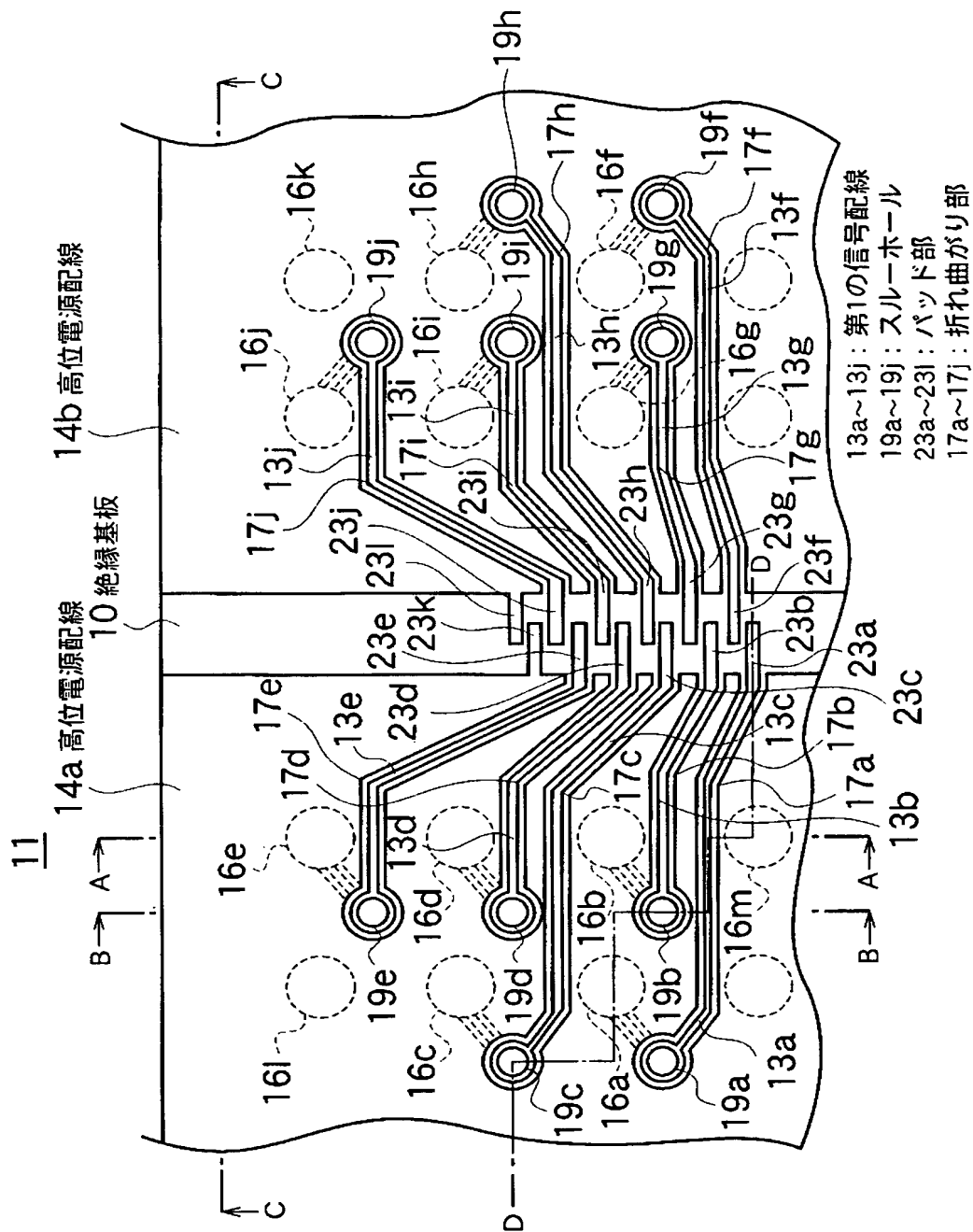
1 0 1…配線基板

1 0 3…半導体チップ
1 0 4 a, 1 0 4 b, …半田ボール
1 0 5…ボンディングワイヤ
1 1 0 a, 1 1 0 b…絶縁基板
1 1 3 a, 1 1 3 b…チップ側表面配線
1 1 4…VDD層
1 1 5…GND層
1 1 6 a, 1 1 6 b…ランド
2 0 0…半導体装置
2 0 1 a, 2 0 1 b…配線基板
2 0 3…半導体チップ
2 0 4 a, 2 0 4 b, …半田ボール
2 0 5…ボンディングワイヤ
2 0 6…ボンディングパッド
2 1 0 a, 2 1 0 b…絶縁基板
2 1 1 a, 2 1 1 b…配線層
2 1 3 a, 2 1 3 b…第 1 の信号配線
2 1 4 a, 2 1 4 b, 2 1 4 c…GND配線
2 1 5 a, 2 1 5 b, 2 1 5 c…VDD配線
2 1 6 a, 2 1 6 b, 2 1 6 c, 2 1 6 d…ランド

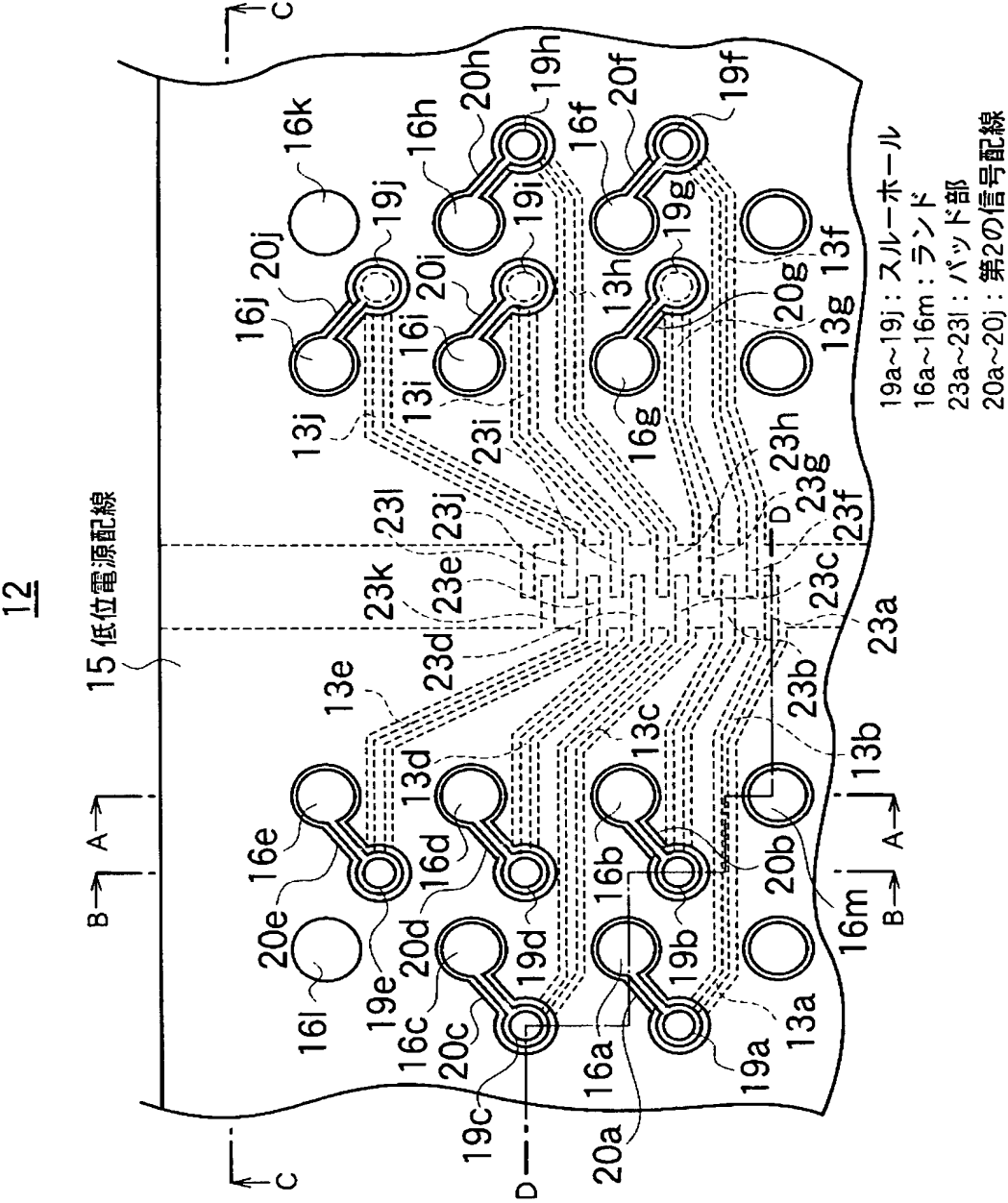
【書類名】

図面

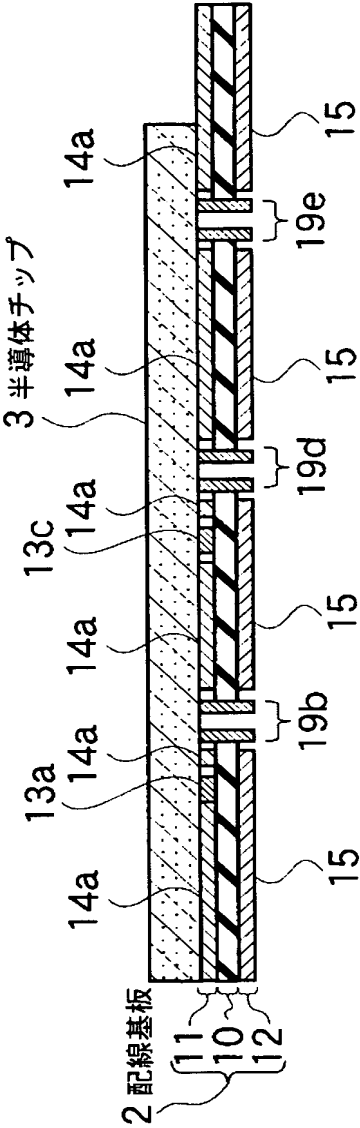
【図 1】



【図 2】

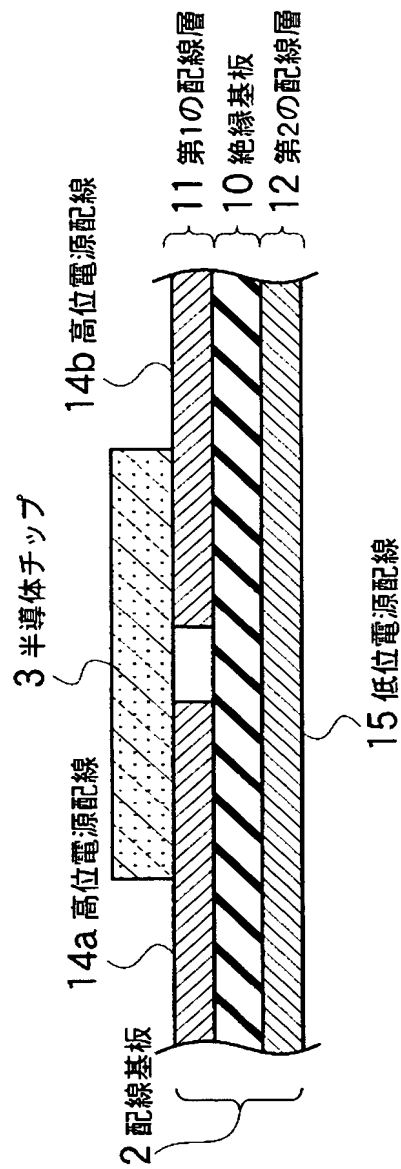


【図 4】

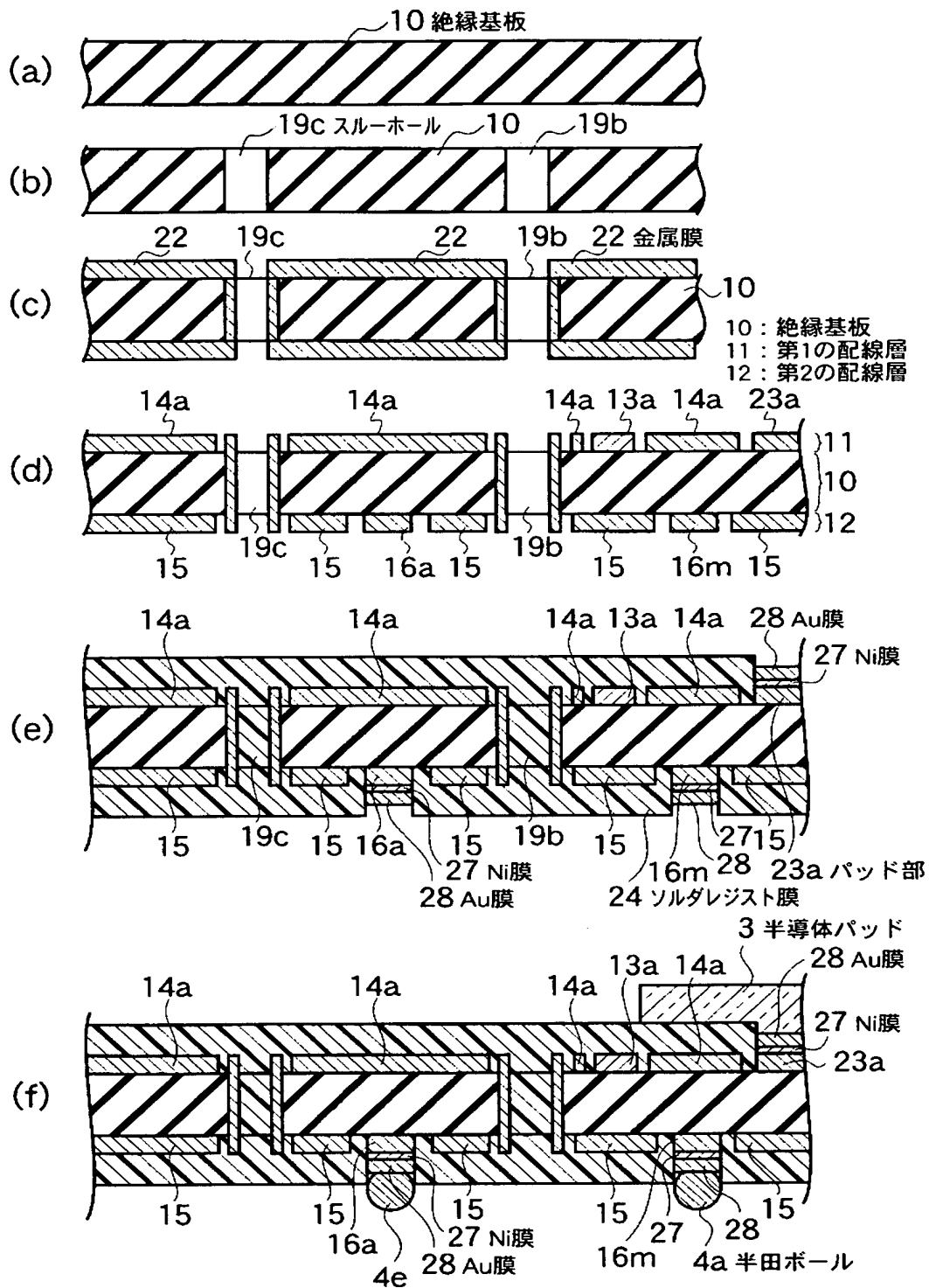


- 13a, 13c : 第1の信号配線
- 14a : 高位電源配線
- 15 : 低位電源配線
- 19b, 19d, 19e : スルーホール

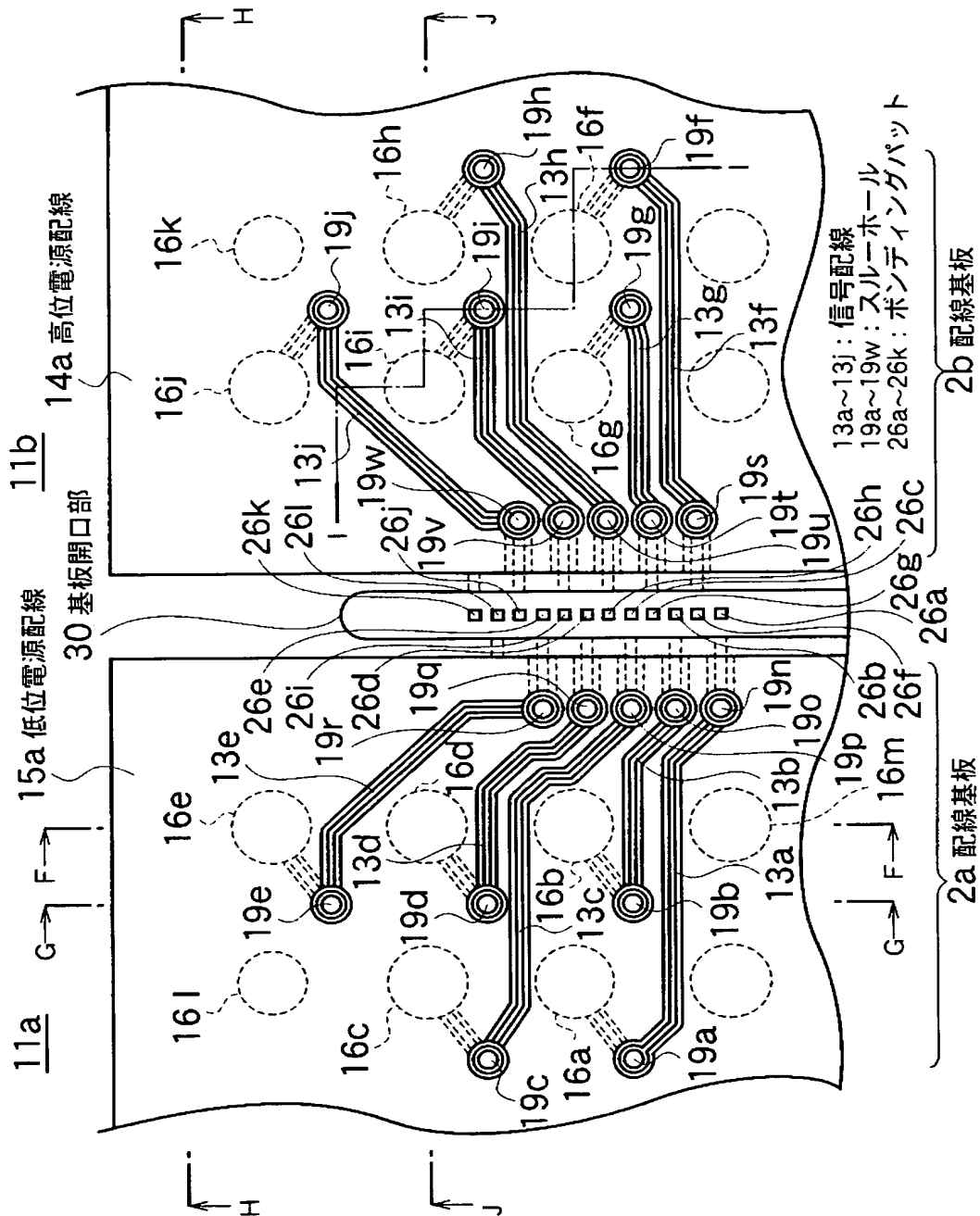
【図 5】



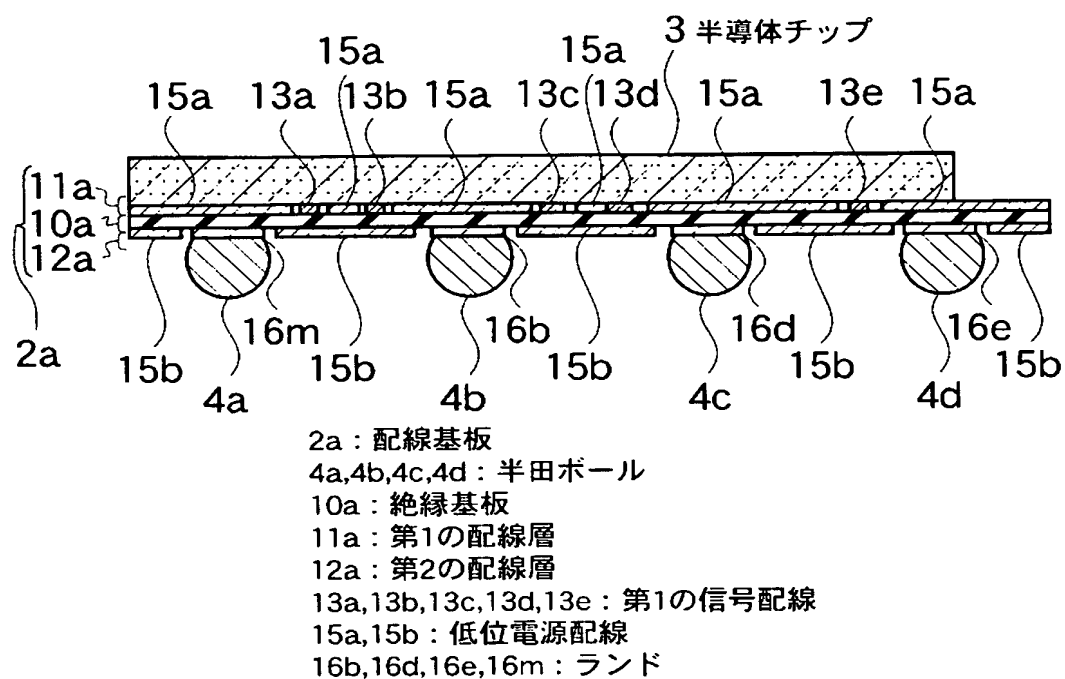
【図 6】



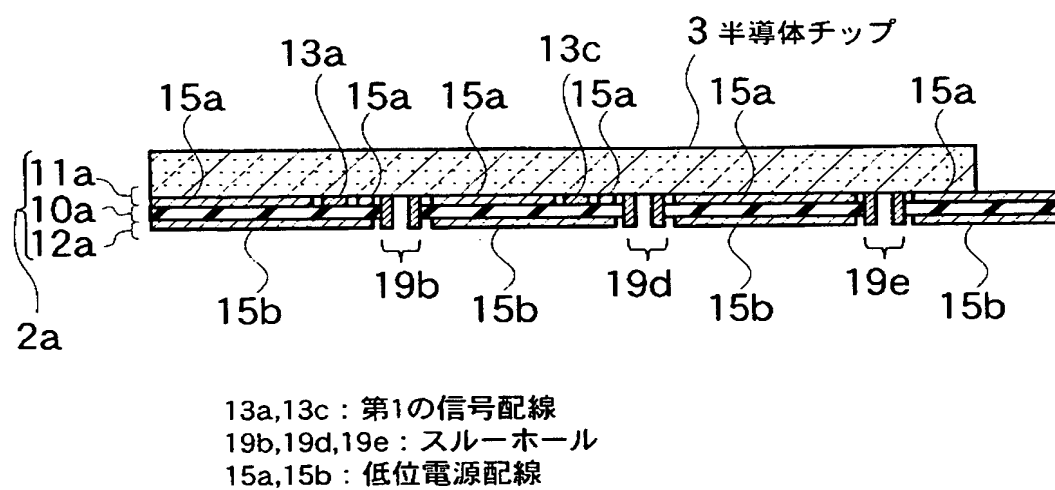
【図 7】



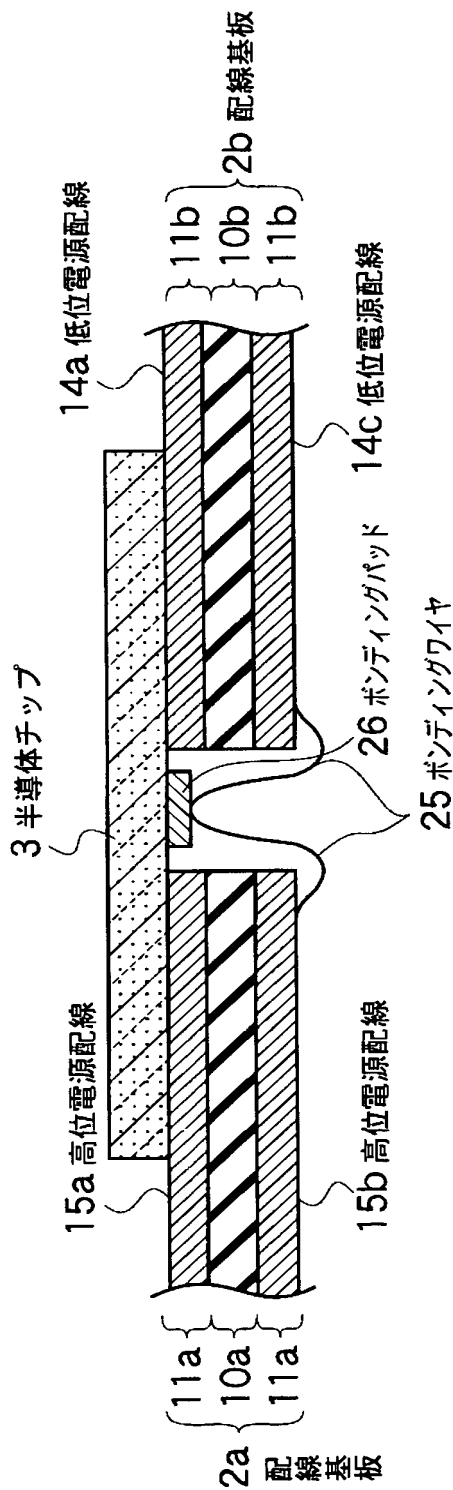
【図 9】



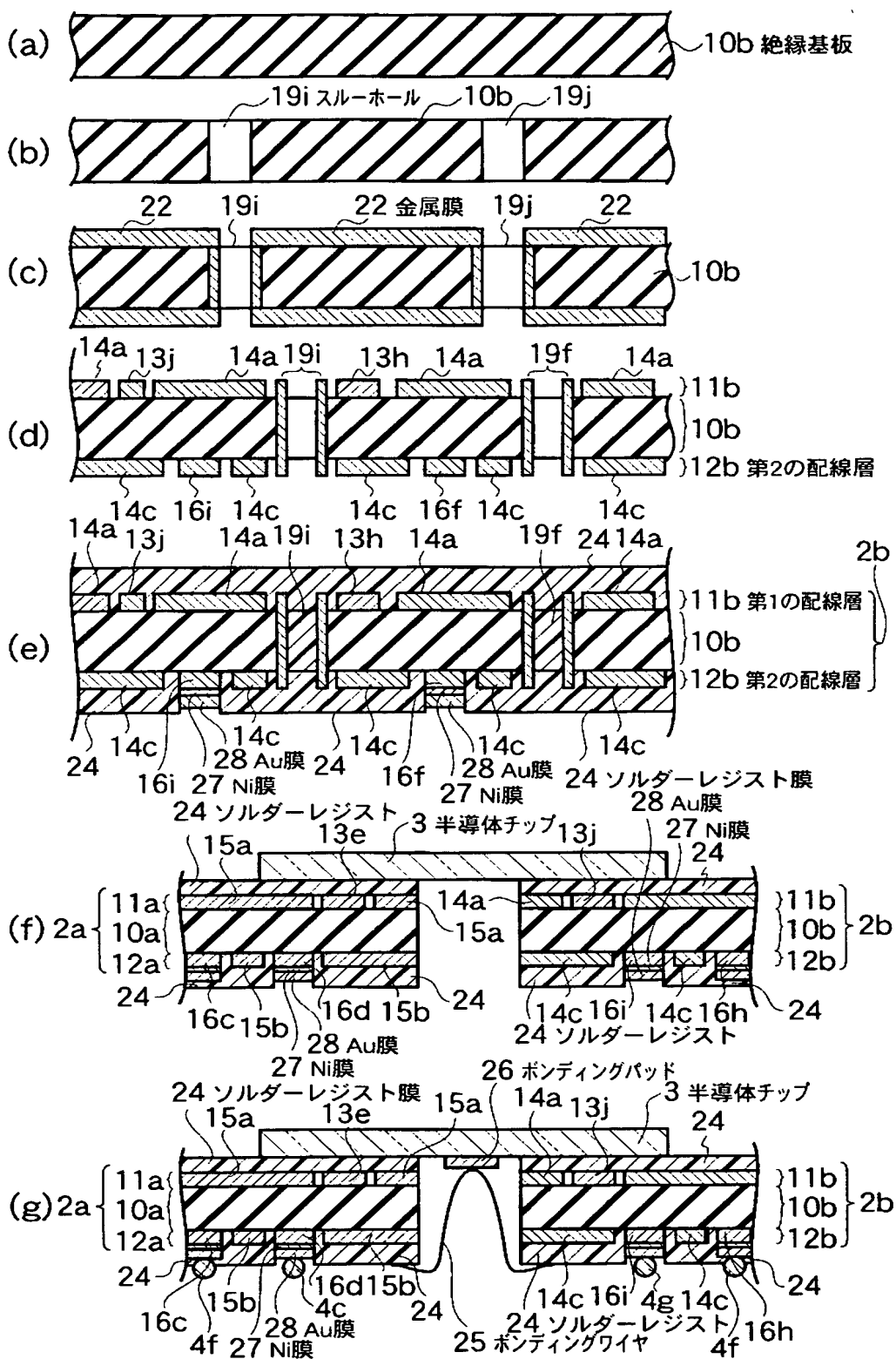
【図 10】



【図11】

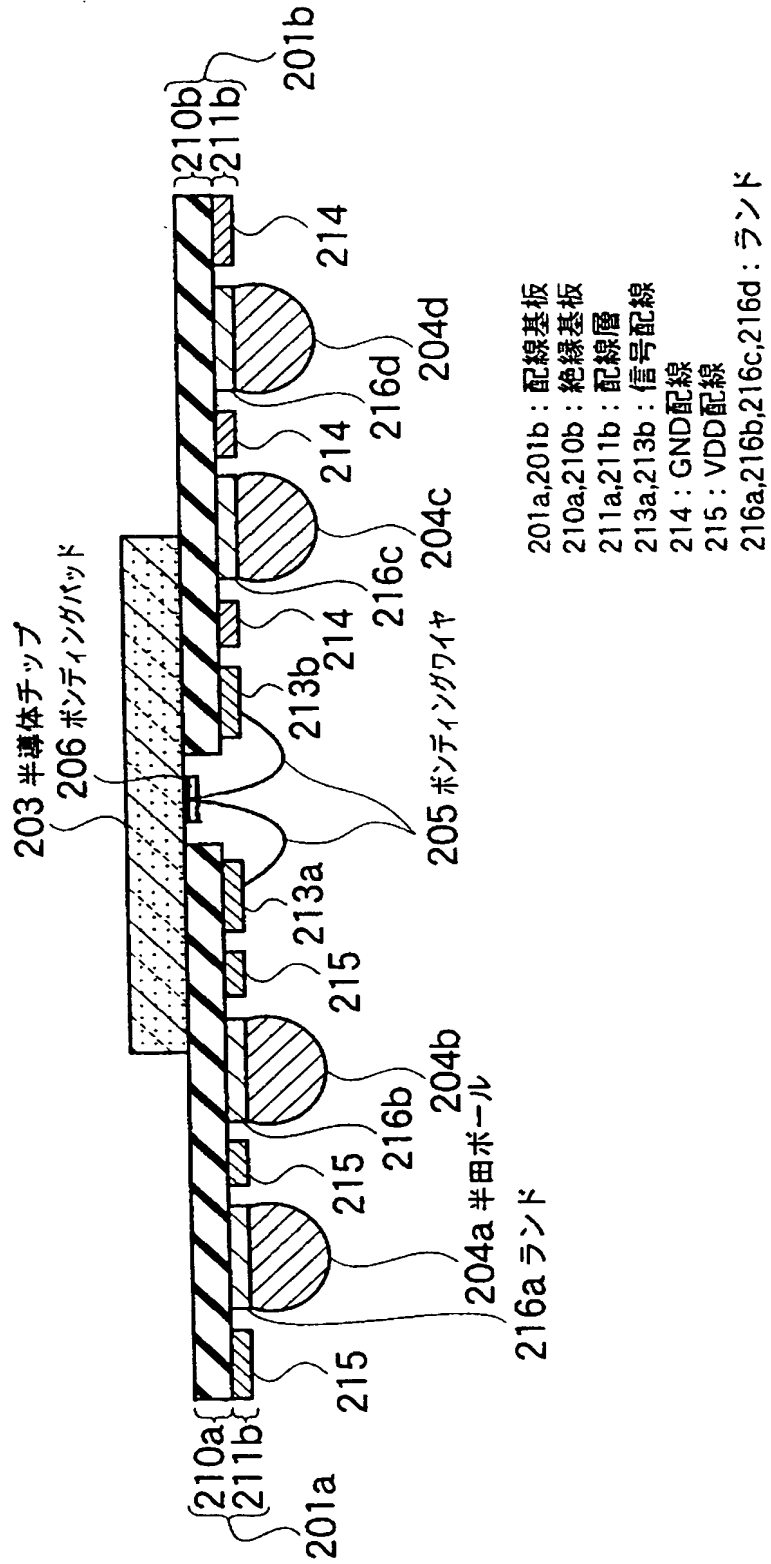


【图 12】



【図 14】

200



【書類名】 要約書

【要約】

【課題】 二層配線で、ノイズの発生の原因となる電磁界の漏れを三次元的にシールドし、且つ低コストで製造できる配線基板及び半導体装置を提供する。

【解決手段】 絶縁基板 10 と、絶縁基板 10 の第 1 主面に配置された帯状の第 1 の信号配線 13 と、第 1 の信号配線 13 の長手方向に沿って第 1 の信号配線 13 の両側に一定の幅の溝を形成するように第 1 の信号配線 13 から離間し第 1 の信号配線 13 が存在しない第 1 主面の残余の領域を埋めて配置された第 1 の電源配線 14 と、絶縁基板 10 の第 2 主面に配置され絶縁基板 10 中に設けられたスルーホール 19 を介して第 1 の信号配線 13 と電氣的に接続されたランド 16 と、ランド 16 から離間したパターンとしランド 16 が存在しない第 2 主面の残余の領域を埋めて配置された第 2 の電源配線 15 とを備える。

【選択図】 図 1

特願 2 0 0 2 - 2 8 9 2 2 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

.

.

.

.